

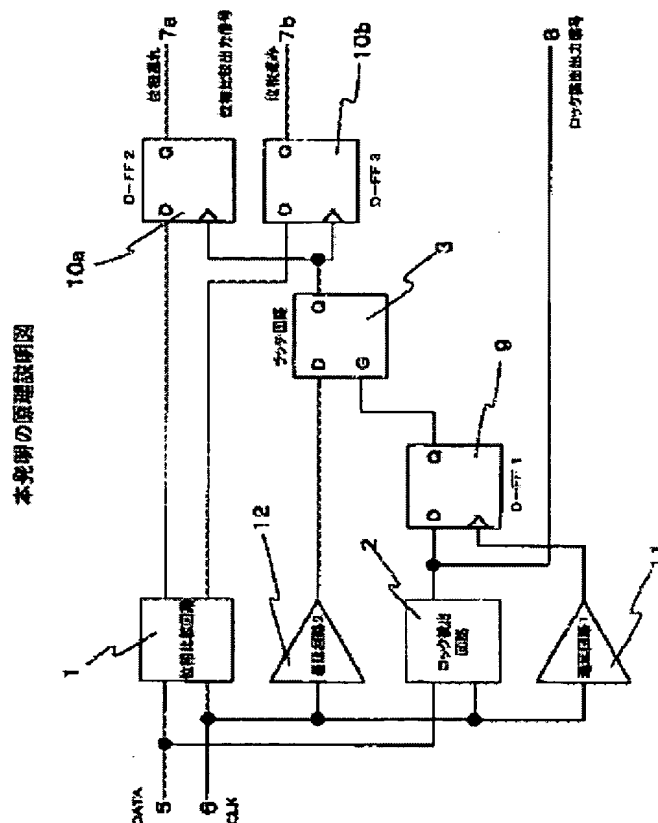
PHASE COMPARATOR CIRCUIT WITH LOCK DETECT FUNCTION

Patent number:	JP2001144592
Publication date:	2001-05-25
Inventor:	YAMAURA SHINJI
Applicant:	FUJITSU LTD
Classification:	
- international:	H03K5/26; H03L7/095; H03L7/085
- european:	
Application number:	JP19990323676 19991115
Priority number(s):	

Abstract of JP2001144592

PROBLEM TO BE SOLVED: To configure a phase comparator circuit with lock detection function that can stop its output when a data signal and a clock signal are unlocked without increasing the circuit scale even in the case that the phase comparator adopts a phase comparator having a plurality of output terminals such as a Bang-Bang type phase comparator.

SOLUTION: The phase comparator circuit 1 of this invention has a configuration such that a latch circuit 3 latches or let pass through a clock signal 6 received by a clock input of D flip-flop circuits 10a, 10b applying retiming to an output signal of the phase comparator circuit 1 depending on a lock detection output signal 8. Since the number of required latch circuits in the entire circuit can be decreased, the production of the clock signal 6 received by the D flip-flop circuits 10a, 10b in the unlock state is stopped without increasing the circuit scale so as to stop the output of phase comparison detection signals 7a, 7b.



Data supplied from the **esp@cenet** database - Patent Abstracts of Japan

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2001-144592
(P2001-144592A)

(43) 公開日 平成13年 5月25日 (2001. 5. 25)

(51) Int.Cl. ⁷	識別記号	F I	テームト* (参考)
H 0 3 K 5/26		H 0 3 K 5/26	Z 5 J 0 3 9
H 0 3 L 7/095		H 0 3 L 7/08	B 5 J 1 0 6
7/085			A

審査請求 未請求 請求項の数 2 O L (全 16 頁)

(21) 出願番号 特願平11-323676

(22) 出願日 平成11年11月15日 (1999. 11. 15)

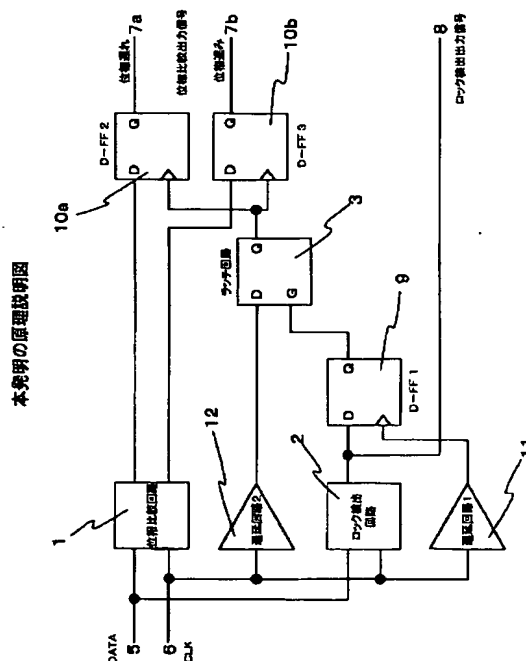
(71) 出願人 000005223
富士通株式会社
神奈川県川崎市中原区上小田中 4 丁目 1 番
1 号
(72) 発明者 山浦 新司
神奈川県川崎市中原区上小田中 4 丁目 1 番
1 号 富士通株式会社内
(74) 代理人 100108187
弁理士 横山 淳一
F ターム (参考) 5J039 JJ07 JJ20 KK09 KK13 KK20
MM16
5J106 AA04 CC26 CC58 DD42 DD43
DD47 DD48 EE09 JJ02 JJ09
KK01 KK39 LL02 LL07

(54) 【発明の名称】 ロック検出機能付き位相比較回路

(57) 【要約】

【目的】 本発明は、Bang-Bang型位相比較回路などの複数の出力端を有する位相比較回路を用いた場合でも、回路規模を増大させることなく、データ信号とクロック信号がアンロック状態のときには位相比較回路の出力を停止させることができるロック検出機能付き位相比較回路を構成することを目的とする。

【構成】 本発明では、位相比較回路1の出力信号をリタイミングするD型フリップフロップ回路10a、10bのクロック入力に入力されるクロック信号6を、ラッチ回路3においてロック検出出力信号8によりラッチ又はスルーする構成としている。これにより、回路全体に必要なラッチ回路の数を減らすことができるので、回路規模を大きくすることなく、アンロック状態のときにはD型フリップフロップ回路10a、10bに入力されるクロック信号6の生成を停止させ、位相比較検出信号7a、7bの出力を停止させることができる。



【特許請求の範囲】

【請求項 1】 データ信号とクロック信号が入力され、前記データ信号と前記クロック信号の位相比較を行い、位相の遅れ又は進みを示す比較出力信号を出力する位相比較回路と、

前記データ信号と前記クロック信号が入力され、前記クロック信号と前記データ信号との位相差が所定値よりも小さいかどうかを検出し、ロック又はアンロック状態を示す検出出力信号を出力するロック検出回路と、

データ入力に前記クロック信号が入力され、イネーブル入力に前記検出出力信号が入力され、前記検出出力信号がロック状態を示しているときは前記クロック信号をスルーし、アンロック状態を示しているときは前記クロック信号の通過を阻止するラッチ回路と、

データ入力に前記比較出力信号が入力され、クロック入力に前記ラッチ回路の出力信号が入力され、前記ラッチ信号の出力信号によって前記比較出力信号をリタイミングした出力信号を出力する D 型フリップフロップ回路とを備えたことを特徴とするロック検出機能付き位相比較回路。

【請求項 2】 前記位相比較回路が Bang-Bang 型位相比較回路であることを特徴とする請求項 1 記載のロック検出機能付き位相比較回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、位相比較回路、特にロック検出回路を伴い、ロック検出機能が付加された位相比較回路に関する。

【0002】 位相比較回路は一般に位相同期ループ (PLL) 回路などに用いられる。近年では、PLL 回路における同期引き込み時間を短縮するために、位相比較回路にロック検出回路を付加することが行われている。

【0003】 一方、PLL 回路を用いてデータ通信の送受信部を構成する場合、目的とするデータ信号以外の信号を送受信しないようにしてデータの信頼性を確保する観点から、PLL 回路に用いる位相比較回路に、ロック検出回路の出力を用いてアンロック状態のときにデータ信号の出力を停止させる機能を付加させる場合がある。この場合、ロック検出回路は位相比較回路とは別回路とし、両者を組み合わせることにより PLL 回路の一部を構成する。

【0004】

【従来の技術】 図 7 は従来のロック検出回路機能付き位相比較回路の構成図である。図中、21 は H o g g e 型 (M o t o r o l a 型) 位相比較回路、22 はロック検出回路、23 はラッチ回路、24 はデータ信号、25 はクロック信号、26 は位相比較出力信号、27 はロック検出出力信号、28 は D 型フリップフロップ回路、29 は遅延回路を表す。

【0005】 図 7 の回路では、H o g g e 型位相比較回

路 21 は、データ信号 24 とクロック信号 25 の位相差に応じた長さのパルス信号を Phase Out 信号として出力するが、前記データ信号 24 と前記クロック信号 25 の位相差が大きいとき (アンロック状態のとき) は、ラッチ回路 23 により Phase Out 信号を位相比較出力信号 26 をとして出力しないようになっている。

【0006】 図 8 は、図 7 に示す従来のロック検出回路機能付き位相比較回路における各ノードの信号波形を示すタイミングチャートである。図 8 における記号 (a) ~ (g) は、それぞれ図 7 における各ノード (a) ~ (g) の信号波形と対応している。

【0007】 図 9 は、図 7 中の H o g g e 型位相比較回路 21 の回路構成を表し、図 10 は図 9 中の各ノード (a) ~ (d) における信号波形を示すタイミングチャートである。

【0008】 さらに、図 11 は図 7 中のロック検出回路 22 の具体回路構成を表し、図 12 は図 11 中の各ノード (a) ~ (e) における信号波形を示すタイミングチャートである。

【0009】 ここで、図 8 ~ 12 中に示した信号の遅延 τ は、各回路の構成要素になっている D 型フリップフロップ回路に起因して生じるものであり、D 型フリップフロップ回路 1 つあたりの信号遅延に対応するものである。図 7 ~ 12 中の「M-S」及び「M」は、それぞれ Master-Slave 及び Master の略であり、それぞれマスタスレーブ形の D 型フリップフロップ回路及びマスタ型の D 型フリップフロップ回路であることを表すものである。

【0010】 図 7 の従来のロック検出回路機能付き位相比較回路の動作について、図 8 のタイミングチャートを用いて説明する。図 7 の従来のロック検出回路機能付き位相比較回路のロック検出回路 22 は、データ信号 24 とクロック信号 25 の位相差 $\Delta\theta$ が $\Delta\theta = 0$ を中心に $-\pi/2 < \Delta\theta < +\pi/2$ の範囲のときをロック状態と判定するものである。

【0011】 まず、図 7 の回路ではデータ信号 24 (図 8 (a)) とクロック信号 25 (図 8 (b)) が H o g g e 型位相比較回路 21 及びロック検出回路 22 にそれぞれ入力される。ここでは、クロック信号 25 の周波数がデータ信号 24 のビットレートよりも低く、クロック信号 25 がデータ信号 24 に対して遅れ続ける場合について示すが、逆にクロック信号 25 の周波数がデータ信号 24 のビットレートよりも高く、クロック信号 25 がデータ信号 24 に対して進み続ける場合についても同様である。

【0012】 H o g g e 型位相比較回路 21 の回路構成及び回路動作は図 9 及び 10 に示すとおりである。前記 H o g g e 型位相比較回路 21 においては、前記データ信号 24 の各々のデータ遷移点 (立ち上がり点及び立ち

下がり点)と前記クロック信号25の立ち下がり点の間の位相関係が監視される。

【0013】そして、相互の位相ずれの大きさ(位相差)に比例した長さのハイレベル信号が位相遅れを表す出力信号Phase Outとして出力される。(図10(d))尚、Hogge型位相比較回路21は、図9に示すようにD型フリップフロップ回路を含むため、出力信号Phase Outは、前記データ信号24のデータ遷移点及び前記クロック信号25の立ち下がり点に対して、前述の信号遅延 τ だけ遅れて出力される。

【0014】ここで、前記Hogge型位相比較回路21においては、クロック信号25の立ち下がり点を用いてデータ信号24とクロック信号25の間の位相関係を比較しているので、前記出力信号Phase Outのハイレベル信号の長さに相当する位相差から、クロック信号25の立ち下がり点と立ち上がり点の間の位相差 π を除いた値が、前記データ信号24と前記クロック信号25の実際の位相差となり、その位相差の分だけクロック信号25の位相はデータ信号24に対して遅れていることになる。

【0015】一方、ロック検出回路22の回路構成及び回路動作は図11及び12に示すとおりである。前記ロック検出回路22においては、前記データ信号24の各々の立ち下がり点と前記クロック信号25の立ち下がり点の間の位置関係が監視される。

【0016】そして、前記データ信号24と前記クロック信号25とがロック状態(位相差 $\Delta\theta=0$ 、データ信号の立ち上がり点とクロック信号の立ち上がり点の位置が一致)にあるとき、前記データ信号24の立ち下がり点と前記クロック信号25の立ち下がり点の間の位相ずれの大きさは、位相差 π となることを考慮して、相互の位相ずれの大きさが位相差 π から基準値($\pi/2$)の範囲内($\pi/2<\Delta\theta<3\pi/2$)に収まっているときに、ロック状態にあるとしてハイレベルのロック検出信号が出力される。

【0017】これとは逆に、ロックはずれを起し、相互の位相ずれの大きさが位相差 π から前記基準値($\pi/2$)の範囲内($\pi/2<\Delta\theta<3\pi/2$)から外れているときは、ロック検出信号はロウレベルとなる。

【0018】図7及び8に戻って、前記ロック検出回路22の出力信号は、ロック状態・アンロック状態のいずれの場合も、前記データ信号25の立ち下がり点にตอบสนองして出力される。これは、図11の具体回路において、DELAY2信号がデータ信号を遅延したDELAY1信号に同期して、D型フリップフロップ回路でリタイミングされているからである。このとき、このロック検出回路22の出力信号は、前記データ信号24の立ち下がり点に対して、前述の信号遅延 τ の2倍(2τ)だけ遅れて出力される。これは、図11の遅延回路(τ)の遅延時間とD-FFの遅延時間の和に相当する。

【0019】次に、前記ロック検出回路22の出力信号はD型フリップフロップ回路28のデータ入力に入力される。一方、前記D型フリップフロップ回路28のクロック入力には遅延回路29によって遅延されたクロック信号が入力される。図7の回路においては、この遅延回路29はクロック信号の位相を π だけ遅れさせるように動作させる。(図8(e))そして、前記D型フリップフロップ回路28では、前記遅延回路29の出力信号の立ち下がり点(つまり、クロック信号25の立ち下がり点)によって前記ロック検出回路22の出力信号がリタイミングされて出力される。(図8(f))このとき、このD型フリップフロップ回路28の出力信号は、前記遅延回路29の出力信号として出力されるクロック信号の立ち下がり点に対して、前述の信号遅延 τ だけ遅れて出力される。

【0020】次に、前記位相比較回路21の出力信号がラッチ回路23のデータ入力に入力されるとともに、前記D型フリップフロップ回路28の出力信号が前記ラッチ回路23のイネーブル入力に入力される。そして、ラッチ回路23においては、前記位相比較回路21の出力信号(図8(c))が前記D型フリップフロップ回路28の出力信号(図8(f))によってラッチ又はスルーされる。

【0021】すなわち、ラッチ回路23においては、前記D型フリップフロップ回路28の出力信号(図8(f))がハイレベルである場合(ロック状態の場合)は、前記位相比較回路21の出力信号(図8(c))はそのままスルーされて出力されるが、前記D型フリップフロップ回路28の出力信号(図8(f))がロウレベルである場合(アンロック状態の場合)は、ハイレベルからロウレベルへのデータ遷移点の時点における前記位相比較回路21の出力信号(図8(c))の値に保持されて出力される。(図8(g))このとき、このラッチ回路23の出力信号は、前記D型フリップフロップ回路28の出力信号に対して、前述の信号遅延 τ だけ遅れて出力される。このラッチ回路23の出力信号が位相比較出力信号26となる。また、前記ロック検出回路22の出力信号がロック検出出力信号27になる。

【0022】この回路構成により、ロック検出回路22においてロックはずれが検出された場合には、まずロック検出回路22の出力信号がハイレベルからロウレベルへとデータ遷移を起し、これに伴ってD型フリップフロップ回路28の出力信号も同様のデータ遷移を起す。

【0023】そして、この前記D型フリップフロップ回路28のデータ遷移点以降では、ラッチ回路23の出力信号は前記データ遷移点の時点における位相比較回路21の出力信号の値に保持されるので、ラッチ回路23の出力信号を位相の遅れ又は進みを表す値(ハイレベル又はロウレベル)に保持したまま、位相比較出力信号の出

力を停止させることができる。

【0024】

【発明が解決しようとする課題】ところで、PLLに用いる位相比較回路に対しては、上述のごとくHogge型位相比較回路を用いるのが一般的ではあるが、位相比較回路としてはいわゆるBang-Bang型位相比較回路も広く知られている。

【0025】このBang-Bang型位相比較回路の詳細については、J. D. H. Alexander, "Clock Recovery from Random Binary Signals", IEEE Electronics Letters, Vol. 11, pp. 541-542, October 1975に記載されている。

【0026】図13はBang-Bang型位相比較回路を示す構成図である。図中、31はBang-Bang型位相比較回路、32a及び32bはD型フリップフロップ回路、34はデータ信号、35はクロック信号、36は位相遅れの位相比較出力信号、37は位相進みの位相比較出力信号、38は遅延回路を表す。

【0027】図13において、Bang-Bang型位相比較回路31は、クロック信号35のデータ信号34に対する位相の遅れ及び進みの出力信号36、37をそれぞれ出力するために、位相遅れ及び位相進みに対応した2つの出力端を有している。そして、それぞれの出力端からは、位相の遅れ又は進みに応じてクロック信号の一周期分の長さを1単位として、これを整数倍した長さのハイレベル信号が出力される。

【0028】また、前記Bang-Bang型位相比較回路31の位相進み及び位相遅れに対応した2つの出力端の後段には、一般にそれぞれD型フリップフロップ回路が付属して接続される。これには、D型フリップフロップ回路を用いることより、位相遅れ及び進みの出力信号の波形を整形すること、及び位相遅れ及び進みの出力信号の位相をクロック信号に同期させることの2つの目的がある。

【0029】ここで、図7の従来回路において、位相比較回路として従来のHogge型位相比較回路に代えて前記Bang-Bang型位相比較回路31を用いた場合を考えると、図14のような構成となる。図14においてBang-Bang型位相比較回路31が出力する位相遅れ又は位相進みを表すハイレベル信号の長さは一周期のクロックとそれに対して比較されるデータに対して、クロック信号の一周期分(1つの立ち下がり点から次の立ち下がり点までに要する時間)であるので、ロックはずれが検出された際にラッチ回路23において位相比較回路31の出力信号をロック検出回路22の出力信号によってラッチするときのタイミングマージンとしては、クロック信号の一周期分をすべて確保することができる。

【0030】これに対し、位相比較回路としてHogge型位相比較回路21を用いた図7の従来回路では、図8に示すように、ラッチ回路23において位相比較回路21の出力信号をロック検出回路22の出力信号によってラッチするときのタイミングマージンは、位相比較回路の動作原理から必然的にクロック信号の一周期よりも短い時間しか確保することができない。

【0031】このようなラッチ回路におけるタイミングマージンの相違は、クロック信号の周波数が高くなった場合、例えば10GHz程度になった場合には、信号の周期に対してD型フリップフロップ回路などにおける信号の遅延時間が無視できない程度の大きさになってくるため、重要なものとなって来る。すなわち、クロック周波数が高くなったとき、例えば10GHz程度になると、ラッチ回路におけるタイミングマージンをより大きくとることができるので、Bang-Bang型位相比較回路を用いてPLLを構成することが有効になってくる。

【0032】従って、高いクロック周波数を用いて位相比較回路を動作させようとする場合、図14に示すように、位相比較回路としてBang-Bang型の位相比較回路に用いることが考えられる。

【0033】しかしながら、単純に位相比較回路をBang-Bang型位相比較回路に置き換えた場合、図14に示すように、Bang-Bang型位相比較回路の出力側には必ず2つのD型フリップフロップ回路32a、32bを設け、かつそれらの後段にさらに2つのラッチ回路23a、23bを設ける必要があるため、回路全体の規模が大きくなってしまいう問題点がある。

【0034】本発明は前記問題点を鑑みてなされたもので、Bang-Bang型位相比較回路などの複数の出力端を有する位相比較回路を用いた場合でも、回路規模を増大させることがなく、データ信号とクロック信号がアンロック状態のときには位相比較回路の出力を停止させることができるロック検出機能付き位相比較回路を構成することを目的とする。

【0035】

【課題を解決するための手段】図1は本発明の原理説明図である。図中、1は位相比較回路、2はロック検出回路、3はラッチ回路、5はデータ信号、6はクロック信号、7a、7bは位相比較回路の位相遅れ及び位相進みの出力信号、8はロック検出出力信号、9は第1のD型フリップフロップ回路、10a、10bは前記位相比較回路の位相遅れ及び進みに対応する出力信号をそれぞれ別個にリタイミングするための第2及び第3のD型フリップフロップ回路、11は第1の遅延回路、12は第2の遅延回路を表す。

【0036】図1では、図14に示す従来の回路構成のように、ロック検出回路から出力されるロック検出出力信号によりラッチ回路において位相比較回路の出力信号

そのものを直接ラッチ又はスルーするのではなく、位相比較回路1の出力信号をリタイミングする第2及び第3のD型フリップフロップ回路10a、10bのクロック入力に入力されるクロック信号6を、ラッチ回路3において前記ロック検出出力信号によりラッチ又はスルーする構成としている。

【0037】すなわち、図1に示すように、クロック信号6がラッチ回路3のデータ入力に入力されるとともに、ロック検出回路2の出力信号がラッチ回路3のイネーブル入力に入力され、クロック信号6が前記ロック検出回路2の出力信号によってラッチ又はスルーされる。

【0038】続いて、このラッチ回路3の出力信号として出力されるクロック信号が第2及び第3のD型フリップフロップ回路10a、10bのクロック入力に入力されるとともに、位相比較回路1の位相進み及び位相遅れの出力信号がそれぞれ前記第2及び第3のD型フリップフロップ回路10a、10bのデータ入力に入力される。

【0039】そして、この位相遅れ及び位相進みの出力信号を前記ラッチ回路3から出力されるクロック信号でリタイミングした出力信号が、位相比較出力信号7a、7bとなる。

【0040】この回路構成により、ラッチ回路3において位相比較回路1の出力信号をリタイミングするためのクロック信号6をロック検出回路2の出力信号を用いてラッチするため、図14の従来の回路の構成、すなわち前記Bang-Bang型位相比較回路の各出力端ごとに設けられたD型フリップフロップ回路の後段に、それぞれ独立にラッチ回路を設ける構成と比較して、必要となるラッチ回路を1つに減らすことができる。

【0041】このため、本発明では、回路全体で必要となるラッチ回路の数を従来に比べて大きく減らすことができるので、前記Bang-Bang型位相比較回路などの複数の出力端を有する位相比較回路を用いた場合でも、回路規模を大きくすることはない。

【0042】加えて、ロック検出回路2においてロックはずれが検出された場合には、前記ロック検出回路2の出力信号によりラッチ回路3において第2及び第3のD型フリップフロップ回路10a、10bに入力されるクロック信号6の生成が停止されるので、アンロック状態のときには第2及び第3のD型フリップフロップ回路10a、10bの出力信号を位相遅れ又は位相進みを表す値に保持したまま、位相比較検出信号7a、7bの出力を停止することができる。

【0043】従って、本発明によれば、Bang-Bang型位相比較回路などの複数の出力端を有する位相比較回路を用いた場合でも、回路規模を増大させることなく、データ信号とクロック信号がアンロック状態のときには、位相遅れ又は位相進みを表す値に保持したまま位相比較回路の出力を停止させることができるとする特有

の効果を奏する。

【0044】

【発明の実施の形態】図2は本発明の第1の実施の形態を表す回路構成図である。図2においては、位相比較回路としてBang-Bang型位相比較回路を用いている。図中、図1で示したものと同一のものは同一の記号で示してある。図3は、図2に示す本発明の第1の実施の形態における各ノードの信号波形を示すタイミングチャートである。

【0045】ここで、図3中に示した信号の遅延 τ は、それぞれのD型フリップフロップ回路に起因して生じるものであり、D型フリップフロップ回路1つあたりの信号遅延に対応するものである。図2、4及び6中の「M-S」及び「M」はMaster-Slave及びMasterの略であり、マスタスレーブ形のD型フリップフロップ回路及びマスタ型のD型フリップフロップ回路であることを表すものである。

【0046】まず、図2の回路について説明する前に、Bang-Bang型位相比較回路の動作原理について図4を用いて説明する。図4のBang-Bang型位相比較回路は、図示したように3つのマスタスレーブ型のD型フリップフロップ回路と1つのマスタ型のD型フリップフロップ回路が2系統に分かれて2段に接続されており、それらの後段にはさらに2つのEXOR回路及び2つのAND回路からなる論理演算回路が接続されている。

【0047】図5は、図4のBang-Bang型位相比較回路の各ノード(a)～(i)の信号波形を示すタイミングチャートである。

【0048】図4において、Bang-Bang型位相比較回路31にはデータ信号34及びクロック信号35がそれぞれ入力される。データ信号34としては、NRZ(Non Return to Zero)信号を想定している。

【0049】ここでは、クロック信号35の周波数がデータ信号34のビットレートよりも低く、クロック信号35がデータ信号34に対して遅れ続ける場合について説明するが、逆にクロック信号35の周波数がデータ信号34のビットレートよりも高く、クロック信号35がデータ信号34に対して進み続ける場合についても同様である。

【0050】まず、Bang-Bang型位相比較回路31においては、データ信号34(図5(a))の各々のデータ遷移点(立ち上がり点及び立ち下がり点)とクロック信号35(図5(b))の立ち下がり点の間の位相関係を監視する。

【0051】そして、クロック信号35の立ち下がり点とデータ信号34のデータ遷移点の間の位相のずれが位相差 π より小さいときは、クロック信号35がデータ信号34に比べて位相が遅れていると判断され、位相遅れ

の出力信号(図5(h))に対して、クロック信号の一周期分の長さのハイレベル信号を出力する。

【0052】一方、クロック信号35の立ち下がり点とデータ信号34のデータ遷移点の位相のずれが位相差 π より大きいときは、クロック信号35がデータ信号34に比べて位相が進んでいると判断され、位相進みの出力信号(図5(i))に対して、クロック信号の一周期分の長さのハイレベル信号を出力する。

【0053】クロック信号35の立ち下がり点とデータ信号34のデータ遷移点の位相が一致又は π だけずれているときは、クロック信号35とデータ信号34は位相は反転又は一致していると判断され、位相遅れ及び位相進みの出力信号(図5(h)、(i))にはいずれもロウレベル信号が出力される。

【0054】また、あるクロック信号35の立ち下がり点の位置に対して一定の範囲内に、対応するデータ信号34のデータ遷移点が存在しないときは、位相遅れ及び位相進みの出力信号(図5(h)、(i))にはいずれもロウレベル信号が出力される。

【0055】位相進み及び位相遅れの各出力信号(図5(h)、(i))は、一方の出力が活性化されているときは他方は活性化されることはなく、一方においてハイレベル信号が出力されているときは他方においては必ずロウレベル信号が出力される。また、Bang-Bang型位相比較回路31における上述の出力動作は、いずれの場合もクロック信号の立ち下がり点にตอบสนองして行われる。

【0056】以上のような動作原理に従って、Bang-Bang型位相比較回路31から、位相遅れの出力信号(図5(h))及び位相進みの出力信号(図5(i))がそれぞれ出力される。尚、Bang-Bang型位相比較回路の内部動作については、図5の(c)～(g)に示すとおりである。また、図5(j)は、クロック信号35(図5(b))に対するデータ信号34(図5(a))の位相進み量を、時間経過に沿って示したものである。

【0057】次に、上述のBang-Bang型位相比較回路の動作原理をふまえ、図2に示した本発明の第1の実施の形態である回路の動作について、図3に示した本発明の第1の実施の形態における各ノードの信号波形を示すタイミングチャートを用いて説明する。

【0058】まず、データ信号5(図3(a))及びクロック信号6(図3(b))がBang-Bang型位相比較回路1に入力される。

【0059】前記Bang-Bang型位相比較回路1は、上述のように、データ信号5のデータ遷移点(立ち上がり点及び立ち下がり点)、及びクロック信号6の立ち下がり点を検出して、前記データ信号5の各データ遷移点と前記クロック信号6の立ち下がり点の間の位相関係により、両者の位相の進み又は遅れを弁別して、位相

遅れの出力信号又は位相進みの出力信号に対してハイレベル信号を、前記クロック信号6の立ち下がり点にตอบสนองして出力する。(図3(c)及び(d))このとき、位相遅れ及び位相進みの出力信号は、クロック信号6の立ち下がり点に対して、前述の信号遅延 τ だけ遅れて出力される。

【0060】この位相比較回路1の位相遅れの出力信号(図3(c))及び位相進みの出力信号(図3(d))は、それぞれ第2及び第3のD型フリップフロップ回路10a及び10bのデータ入力に入力される。

【0061】一方、ロック検出回路2にはデータ信号5(図3(a))及びクロック信号6(図3(b))がそれぞれ入力される。そして、ロック検出回路2は、図7に示す従来の回路のものと同様の動作原理により、ロック検出信号8(図3(e))を出力する。

【0062】ロック検出回路2では、データ信号5の立ち下がり点とクロック信号6の立ち下がり点を検出して、前記データ信号5の各データ遷移点と前記クロック信号6の立ち下がり点の間の位相関係を監視する。

【0063】そして、それらの相互の位相のずれの大きさが位相差 π から基準値($\pi/2$)以内に収まっているときは、データ信号5とクロック信号6はロック状態にあるとしてハイレベル信号を、基準値($\pi/2$)以上離れている場合にはロックはずれを起したとしてロウレベル信号を、前記データ信号5の立ち下がり点にตอบสนองして出力する。(図3(e))このロック検出回路2の出力信号がロック検出出力信号8になる。このとき、ロック検出回路2の出力信号は、データ信号5の立ち下がり点に対して、前述の信号遅延 τ の2倍(2τ)だけ遅れて出力される。

【0064】次に、前記ロック検出回路2の出力信号(図3(e))及び第1の遅延回路11によって遅延させたクロック信号(図3(f))が、第1のD型フリップフロップ回路9のデータ入力及びクロック入力にそれぞれ入力される。このとき、前記第1の遅延回路11は、クロック信号の位相を($\pi/2 + \alpha$)だけ遅らせるように動作させる。ここで、 α はD型フリップフロップ回路のセットアップ時間に相当する位相差を採用すればよく、例えば、 $\alpha = \pi/4$ と設定すればよい。

【0065】そして、ロック検出回路2の出力信号(図3(e))が前記第1のD型フリップフロップ回路9において第1の遅延回路11からのクロック信号によってリタイミングされて、前記第1のD型フリップフロップ回路9の出力信号として出力される。(図3(g))このとき、前記第1のD型フリップフロップ回路9の出力信号は、前記第1の遅延回路11の出力信号として出力されたクロック信号の立ち下がり点に対して、前述の信号遅延 τ だけ遅れて出力される。

【0066】次に、第2の遅延回路12によって遅延させたクロック信号(図3(h))、及び前記第1のD型

フリップフロップ回路9の出力信号(図3(g))をラッチ回路3のデータ入力及びイネーブル入力にそれぞれ入力する。

【0067】このとき、前記第2の遅延回路12は、クロック信号の位相を($\pi/2 + \beta$)だけ遅らせるように動作させる。ここで、前記第2の遅延回路12は、實際上、前記第1の遅延回路と同程度に信号を遅らせるように設定すればよく、例えば、 $\beta = \pi/4$ と設定すればよい。

【0068】そして、ラッチ回路3において、第2の遅延回路12からのクロック信号(図3(h))は、前記第1のD型フリップフロップ回路9の出力信号として出力されたロック検出回路2の出力信号(図3(g))によってラッチ又はスルーされ、このラッチ又はスルーされたクロック信号はラッチ回路3の出力信号として出力される。(図3(i))すなわち、ラッチ回路3においては、前記第1のD型フリップフロップ回路9の出力信号(図3(g))がハイレベルである場合は、前記第2の遅延回路12の出力信号として出力されるクロック信号(図3(h))はそのままスルーされて出力されるが、前記第1のD型フリップフロップ回路9の出力信号(図3(g))がロウレベルである場合は、ハイレベルからロウレベルへのデータ遷移点の時点における前記第2の遅延回路12の出力信号(図3(h))の値に保持されて出力される。

【0069】このとき、ラッチ回路3の出力信号は、前記第1のD型フリップフロップ回路9の出力信号に対して、前述の信号遅延 τ だけ遅れて出力される。

【0070】次に、前記ラッチ回路3からのクロック信号(図3(i))を第2及び第3のD型フリップフロップ回路10a、10bのクロック入力に入力する。そして、ラッチ回路3においてラッチ又はスルーされたクロック信号(図3(i))によって、位相比較回路1の位相遅れの出力信号(図3(c))及び位相進みの出力信号(図3(d))がそれぞれリタイミングされる。(図3(j)、(k))この第2及び第3のD型フリップフロップ回路10a、10bの出力信号が位相比較出力信号7a、7bとなる。

【0071】このとき、それぞれの位相比較出力信号7a、7bは、前記ラッチ回路3の出力信号として出力されたクロック信号の立ち下がり点に対して、前述の信号遅延 τ だけ遅れて出力される。

【0072】ここで、ロック検出回路2においてロックはずれが起こった場合及びロックはずれが解除された場合の図2の本発明の第1の実施の形態の回路動作について、それぞれ説明する。

【0073】ロック検出回路2においてロックはずれが起こると、図3のタイミングチャートにおいて、まずロック検出回路2の出力信号がハイレベルからロウレベルへのデータ遷移を起こす。(図3(e))次いで、こ

のロック検出回路2の出力信号のデータ遷移に起因して、第1のD型フリップフロップ回路9の出力信号においても、同様のデータ遷移が起こる。(図3(g))

次いで、この第1のD型フリップフロップ回路9の出力信号のデータ遷移に起因して、ラッチ回路3の出力信号が、前記データ遷移点の時点における前記第2の遅延回路12の出力信号の値に保持されて、ラッチ回路3におけるクロック信号の生成が停止される。(図3(i))そして、このラッチ回路3におけるクロック信号の生成停止に伴い、前記第2及び第3のD型フリップフロップ回路10a、10bの出力信号の値がクロック信号の停止前の値に保持された状態になり、第2及び第3のフリップフロップ回路10a、10bにおける位相進み及び位相遅れの出力信号の生成が停止する。(図3(j)、図3(k))

一方、ロック検出回路2においてロックはずれが解除され、再びロック状態に復帰した場合、図3のタイミングチャートにおいて、まずロック検出回路2の出力信号がロウレベルからハイレベルへと再びデータ遷移を起こす。(図3(e))次いで、このロック検出回路2の出力信号のデータ遷移に起因して、第1のD型フリップフロップ回路9の出力信号においても、同様のデータ遷移が起こる。(図3(g))

次いで、この第1のD型フリップフロップ回路9の出力信号のデータ遷移に起因して、ラッチ回路3がイネーブルになって第2の遅延回路12からのクロック信号を再びスルーするようになり、ラッチ回路3の出力信号においてクロック信号が再び生成されるようになる。(図3(i))

そして、このラッチ回路3におけるクロック再生成に伴い、第2及び第3のD型フリップフロップ回路10a、10bの出力信号が、再び位相比較回路1の位相進みの出力信号(図3(c))及び位相遅れの出力信号(図3(d))をそれぞれリタイミングした信号になり、再び第2及び第3のD型フリップフロップ回路10a、10bにより、位相比較出力信号7a、7bが出力されるようになる。(図3(j))、(図3(k))

以上のように、本発明の第1の実施の形態の回路構成によれば、ロック検出回路2においてロックはずれが検出されてデータ信号5とクロック信号6とがアンロック状態になった場合に、位相遅れ又は位相進みを表す値(ハイレベル)に保持したまま、位相比較出力信号7a、7bの出力を停止させることができる。

【0074】加えて、図2の回路構成から明らかなように、本発明の第1の実施の形態では、必要とするラッチ回路の数は1つであるため、回路全体の規模を大きくすることを防止することができる。

【0075】図6は、本発明の第2の実施の形態を表す回路構成図である。図中、図1及び図2で示したものと同一のものは同一の記号で示してあり、13は第1の遅

10

20

30

40

50

延回路、14は第2の遅延回路を表す。図6に示す回路の中の位相比較回路にもBang-Bang型位相比較回路を用いている。

【0076】図6の回路構成は、図2の回路構成とはほぼ同様の構成となっているが、図2の回路構成では第1の遅延回路11及び第2の遅延回路12がクロック信号に対して並列に配置されているのに対し、図4の回路構成では第1の遅延回路13の後段に第2の遅延回路14が直列に接続されている。

【0077】図6の回路構成では、第1の遅延回路13は、図2の回路の場合と同様に、第1のD型フリップフロップ回路9のクロック入力に入力されるクロック信号の位相を $(\pi/2 + \alpha)$ だけ遅らせるように動作させる。一方、第2の遅延回路14は、図2の回路の場合には $(\pi/2 + \beta)$ だけ遅らせるように動作させたが、図6の回路構成では、図2の第2の遅延回路12と第1の遅延回路11の遅延させる位相差の差分、すなわち $(\beta - \alpha)$ だけ遅らせるように動作させる。

【0078】尚、図6に示す本発明の第2の実施の形態の回路の動作については、図2に示す第1の実施の形態の場合と同様であり、従って、第1の実施の形態の場合と同様の効果を奏することができる。

【0079】更に、図6の回路構成では2つの遅延回路を個別に配置する構成になっているが、代わりに遅延回路を1つだけ配置し、1つの遅延回路から遅延させる位相差が異なる2つの出力信号を出力するようにすることも可能である。

【0080】また、上述の本発明の第1及び第2の実施の形態では、それぞれのD型フリップフロップ回路、ロック検出回路及び位相比較回路について主に立ち下がり点において動作するものを用いたが、これに限定されるものではなく、立ち上がり点において動作するD型フリップフロップ回路、ロック検出回路及び位相比較回路をそれぞれ用いることができることはもちろんである。

【0081】

【発明の効果】以上説明したように、本発明によれば、ロック検出機能付き位相比較回路に関し、ラッチ回路において、ロック検出回路の出力信号を用いて、D型フリップフロップ回路において位相比較回路の出力信号をリタイミングするためのクロック信号をラッチ又はスルーするように構成している。このため、本発明では、回路全体で必要となるラッチ回路の数を減らすことができる。

【0082】従って、Bang-Bang型位相比較回路などの複数の出力端を有する位相比較回路を用いた場合でも、回路規模を増大させることなく、データ信号とクロック信号がアンロック状態のときには、位相遅れ又は位相進みを表す値に保持したまま、位相比較回路の出力を停止させることができ、係る位相比較回路の性能向上に寄与するところが大い。

【図面の簡単な説明】

【図1】 本発明の原理説明図、

【図2】 本発明の第1の実施の形態である回路構成図、

【図3】 本発明の第1の実施の形態における各ノードの信号波形を示すタイミングチャート、

【図4】 Bang-Bang型位相比較回路の具体回路構成図、

【図5】 Bang-Bang型位相比較回路の各ノードの信号波形を示すタイミングチャート、

【図6】 本発明の第2の実施の形態である回路構成図、

【図7】 従来のロック検出機能付き位相比較回路の構成図、

【図8】 従来のロック検出回路機能付き位相比較回路の各ノードの信号波形を示すタイミングチャート、

【図9】 Hogg型(Motorola型)位相比較回路の具体回路構成図、

【図10】 Hogg型位相比較回路の各ノードの信号波形を示すタイミングチャート、

【図11】 ロック検出回路の具体回路構成図、

【図12】 ロック検出回路の各ノードの信号波形を示すタイミングチャート、

【図13】 Bang-Bang型位相比較回路の構成図、

【図14】 位相比較回路としてHogg型位相比較回路に代えてBang-Bang型位相比較回路を用いた場合の回路構成図

【符号の説明】

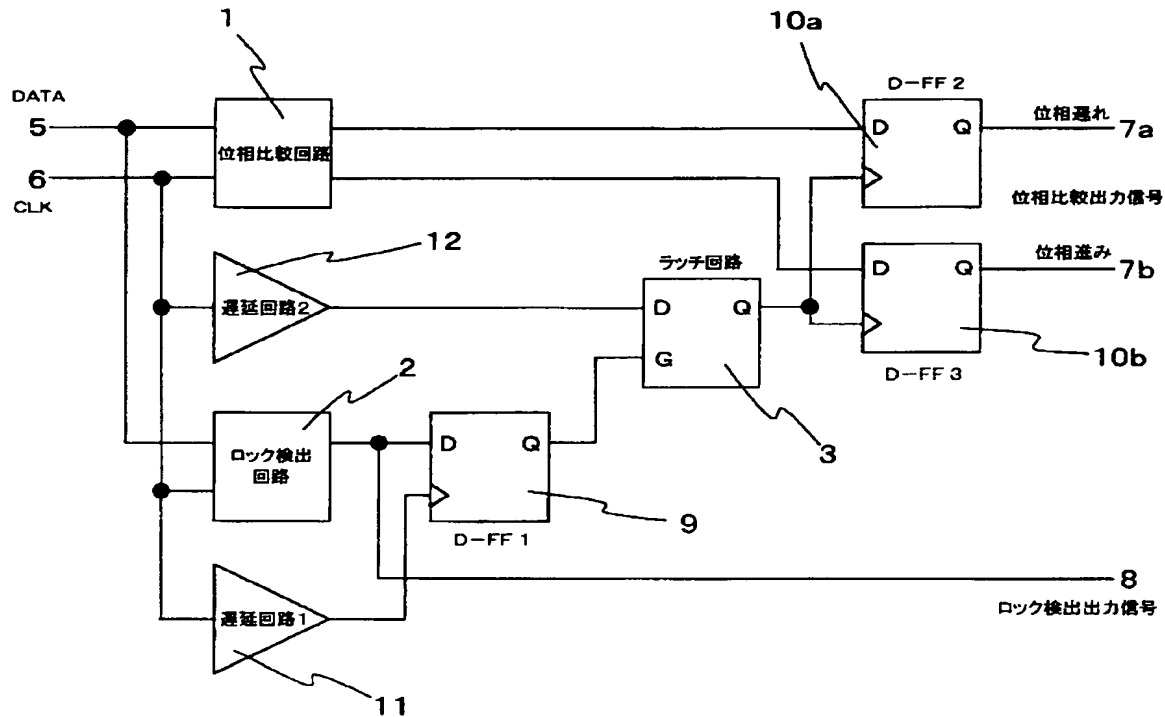
- | | |
|-----|------------------|
| 1 | 位相比較回路、 |
| 2 | ロック検出回路、 |
| 3 | ラッチ回路、 |
| 5 | データ信号、 |
| 6 | クロック信号、 |
| 7 | 位相比較出力信号、 |
| 8 | ロック検出出力信号 |
| 9 | 第1のD型フリップフロップ回路、 |
| 10a | 第2のD型フリップフロップ回路、 |
| 10b | 第3のD型フリップフロップ回路、 |
| 11 | 第1の遅延回路、 |
| 12 | 第2の遅延回路、 |
| 13 | 第1の遅延回路、 |
| 14 | 第2の遅延回路、 |
| 21 | 位相比較回路、 |
| 22 | ロック検出回路、 |
| 23 | ラッチ回路、 |
| 24 | データ信号、 |
| 25 | クロック信号、 |
| 26 | 位相比較出力信号、 |
| 27 | ロック検出出力信号 |

28 D型フリップフロップ回路、
 29 遅延回路、
 31 Bang-Bang型位相比較回路、
 32 a D型フリップフロップ回路、
 32 b D型フリップフロップ回路、

* 34 データ信号、
 35 クロック信号、
 36 位相遅れの位相比較出力信号、
 37 位相進みの位相比較出力信号、
 * 38 遅延回路

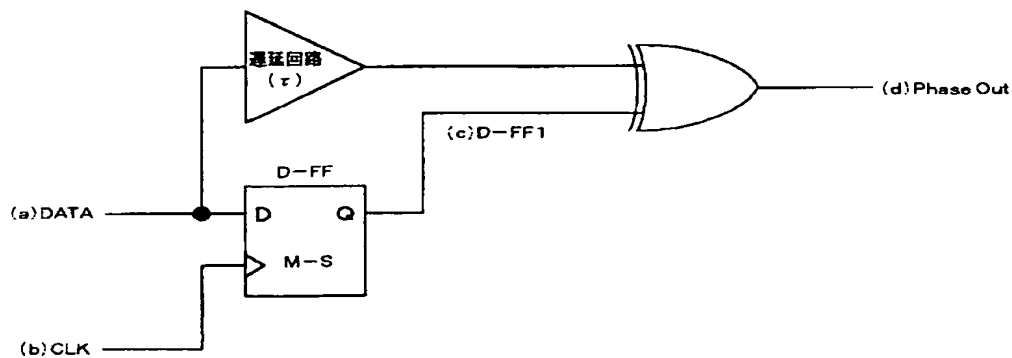
【図1】

本発明の原理説明図



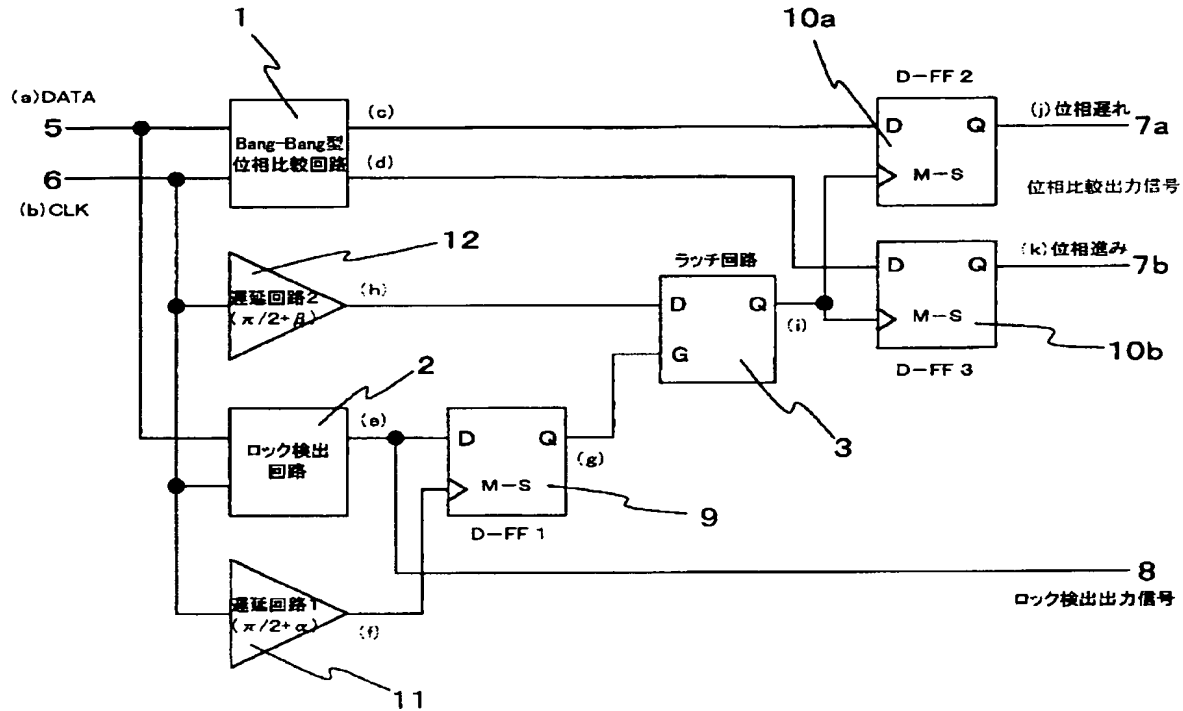
【図9】

Hogge型位相比較回路の具体回路構成図



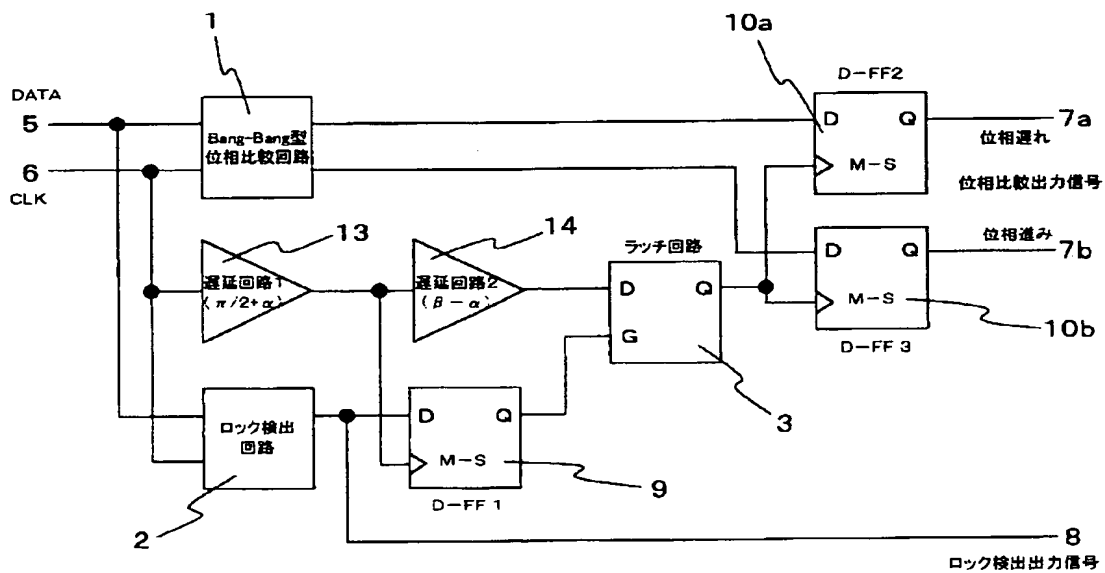
【図2】

本発明の第1の実施の形態である回路説明図



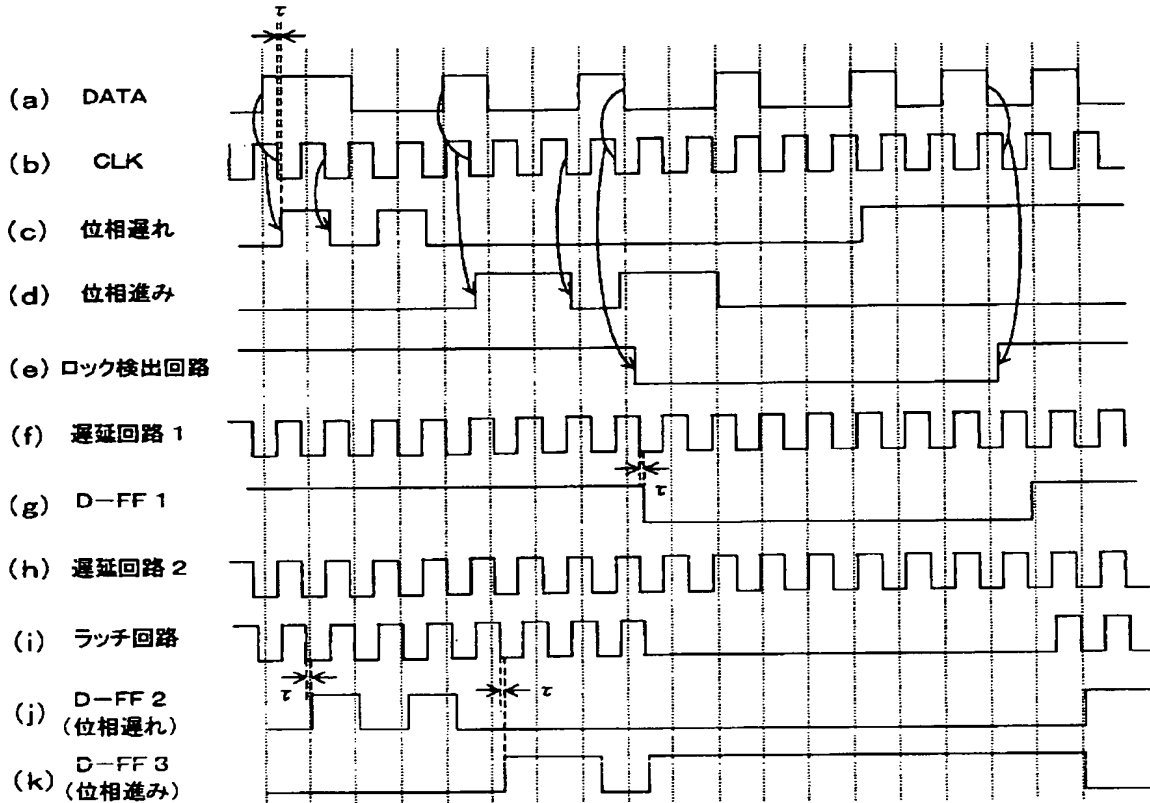
【図6】

本発明の第2の実施の形態である回路構成図



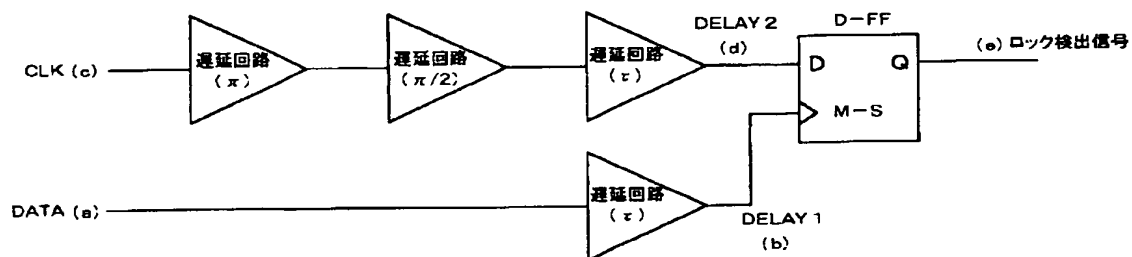
【図3】

本発明の第1の実施の形態における各ノードの信号波形を示すタイミングチャート



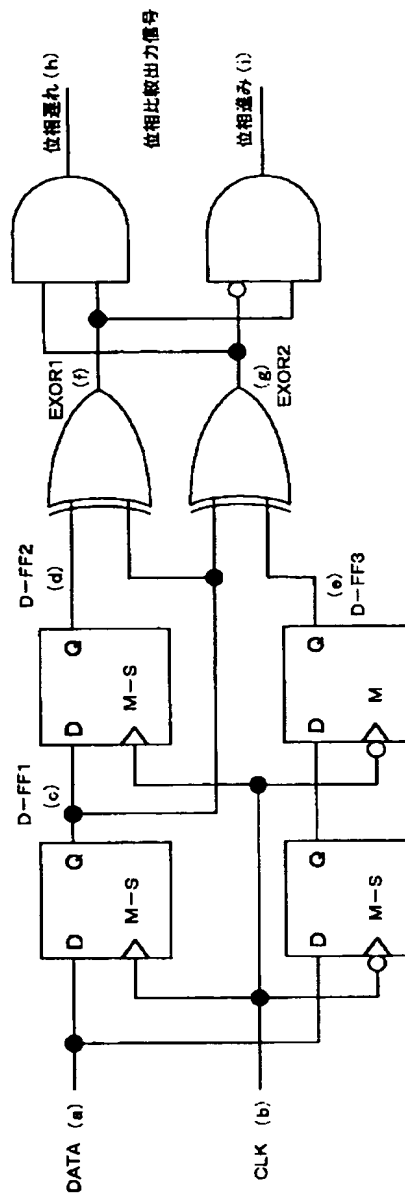
【図11】

ロック検出回路の具体回路構成図



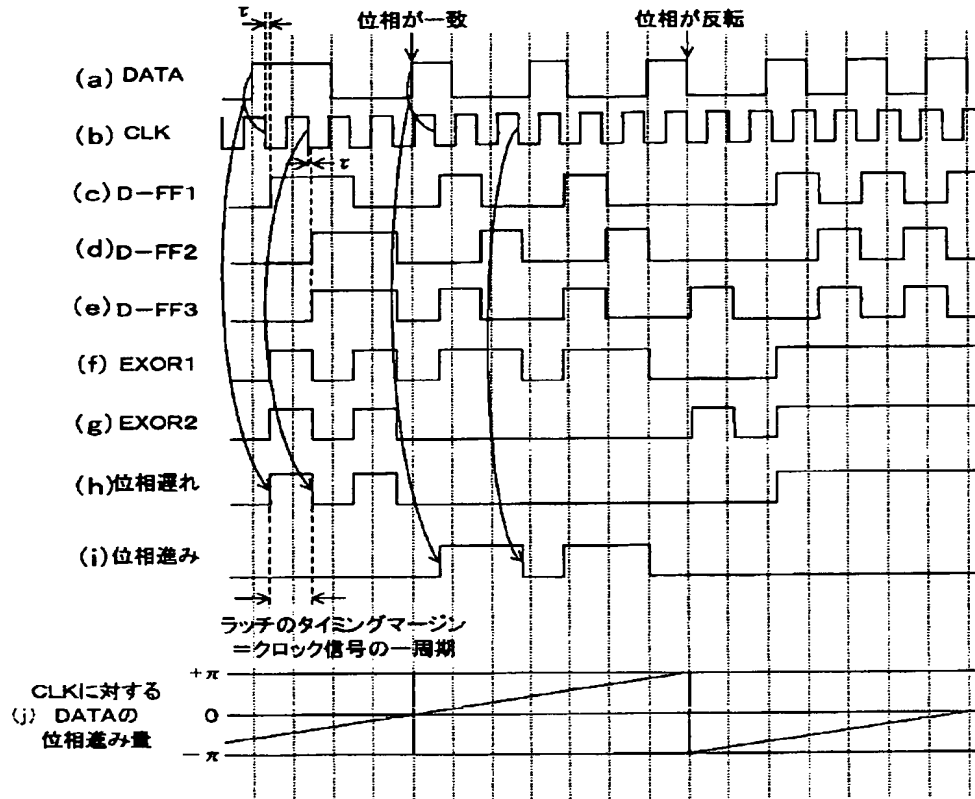
【図4】

Bang-Bang型位相比較回路の具体回路構成図



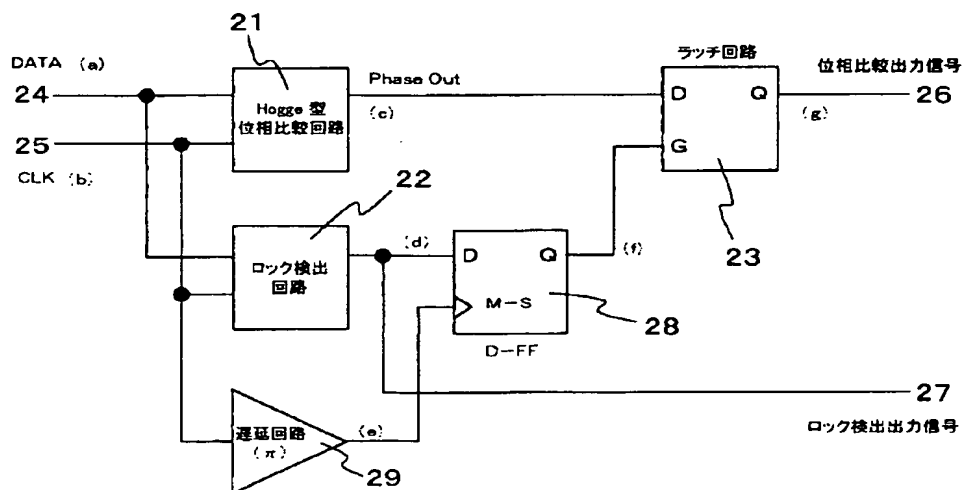
【図5】

Bang-Bang型位相比較回路の各ノードの信号波形を示すタイミングチャート



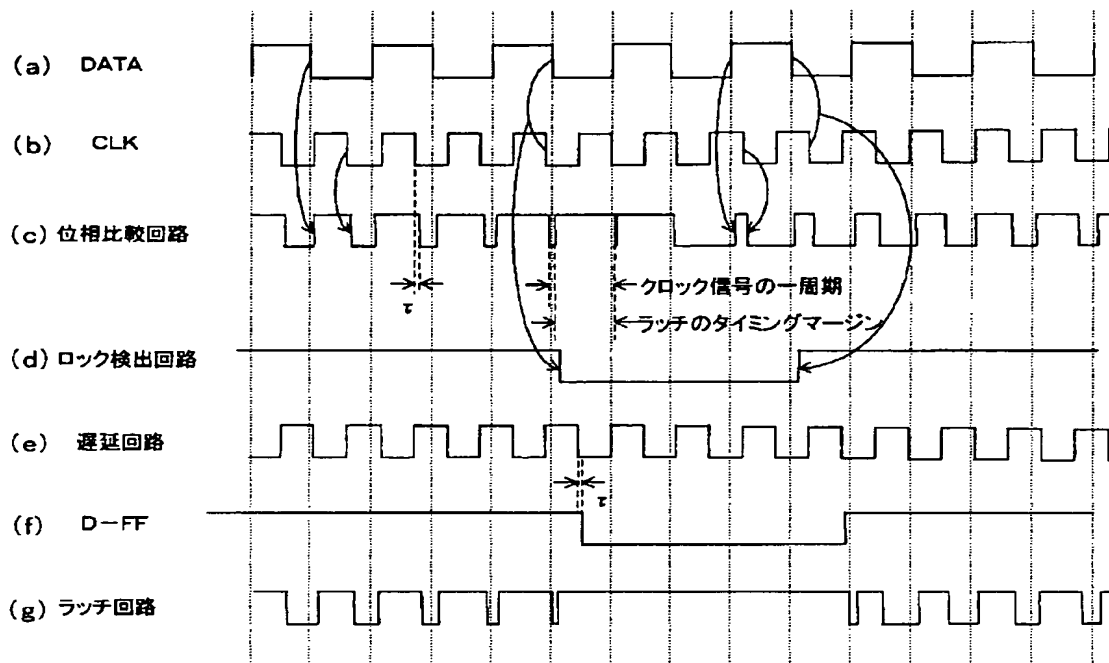
【図7】

従来のロック検出機能付き位相比較回路の構成図



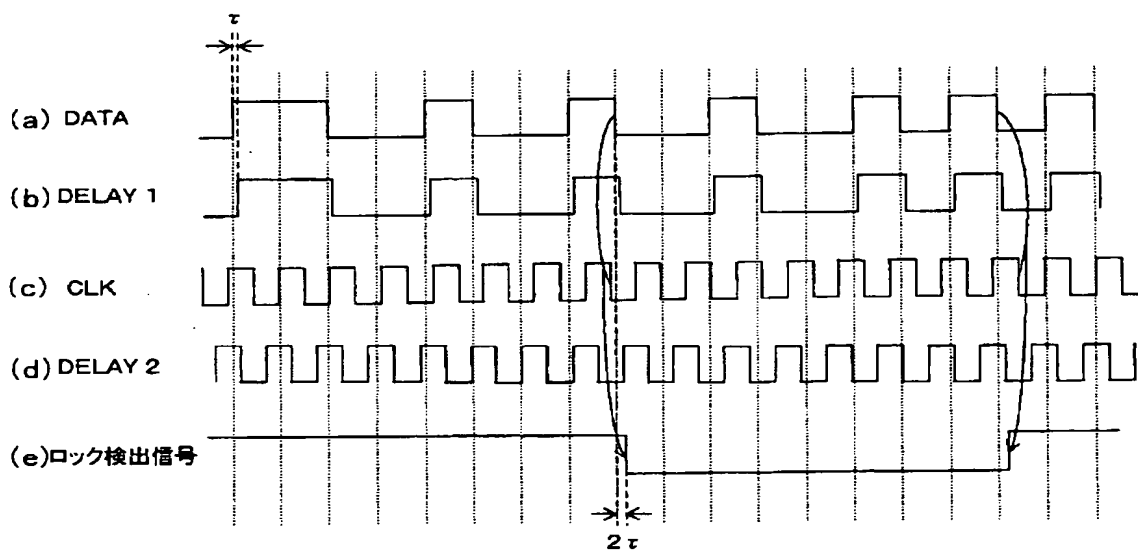
【図8】

従来のロック検出機能付き位相比較回路の各ノードの信号波形を示すタイミングチャート



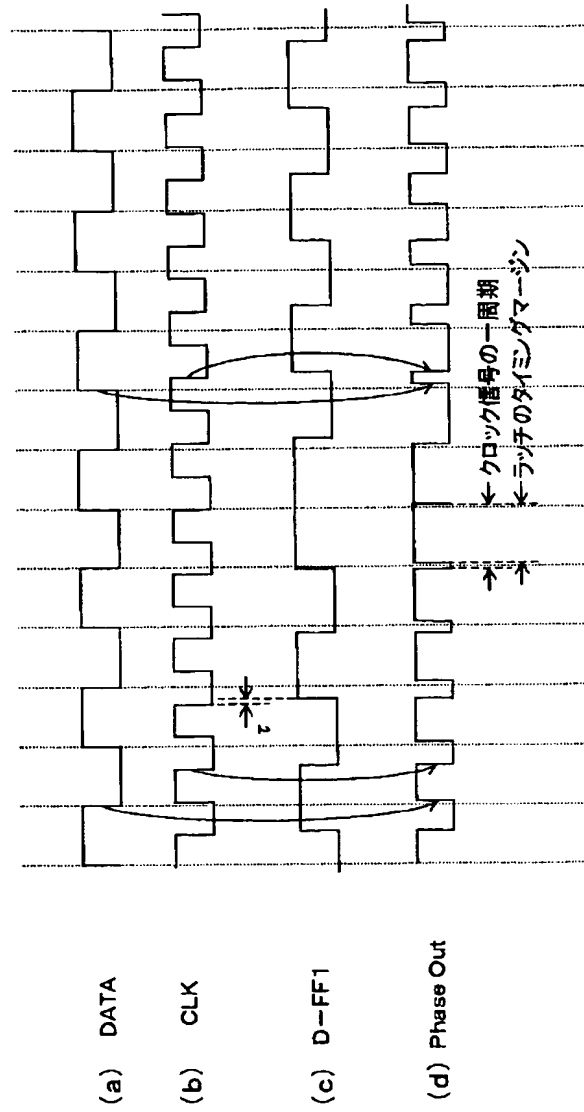
【図12】

ロック検出回路の各ノードの信号波形を示すタイミングチャート



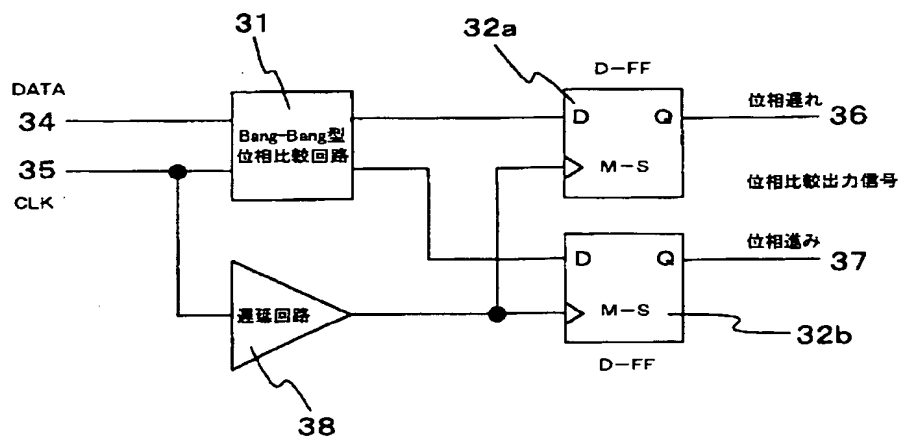
【図10】

Hogge型位比較回路の各ノードの信号波形を示すタイミングチャート



【図13】

Bang-Bang型位相比較回路の構成図



【図14】

位相比較回路としてHogge型位相比較回路に代えて
Bang-Bang型位相比較回路を用いた場合の回路構成図

